

フラッシュメモリの現状と課題



玉置直樹

東芝メモリ株式会社
メモリ技術研究所
デバイス技術研究開発センター
naoki.tamaoki@toshiba.co.jp



青木伸俊

東芝メモリ株式会社
メモリ技術研究所
デバイス技術研究開発センター
nobutoshi.aoki@toshiba.co.jp



青地英明

東芝メモリ株式会社
メモリ技術研究所
デバイス技術研究開発センター
hideaki.aochi@toshiba.co.jp

半導体メモリは情報を制御・記憶する電子回路であり、電源を切ると情報が消失する揮発性メモリと電源を切っても情報を保持できる不揮発性メモリに分類できる。代表的な揮発性メモリはDRAM (Dynamic Random Access Memory) や SRAM (Static Random Access Memory) で高速な動作が特徴である。そのため、CPU (Central Processing Unit) に付随するワーキングメモリとして用いられている。一方、不揮発性メモリはデータを保存することに適したメモリであり、ファイルメモリと呼ばれる。中でも大容量化に適したものの1つがNAND型フラッシュメモリであり、近年急速に普及している。

従来型の2次元フラッシュメモリの高集積化の手段は、メモリセルサイズとセル間隔を縮小することである。この集積化の様子をボードゲームの「オセロ」で例えてみよう。盤面にびっしりと「石」を並べると、石の色は1ビット、つまり2値のメモリ機能を持ち、石の大きさがセルサイズに、石が納められるマス大きさはメモリ1ビットが占める面積に相当する。フラッシュメモリの場合にはセルの間に互いに干渉する効果があるため、ある程度のセル間隔も必要である。従って、決められた領域内に多くのセルを詰め込むには、セルサイズとセル間隔を小さくする必要がある。

2000年代になり、いずれ微細化は限界に達するだろうと予測され、この2次元フラッシュメモリを2階建てにした3次元フラッシュメモリが考案された。しかし、この構造で階層を増やしていくと各層の2次元フラッシュメモリを順に作って、重ねていかななくてはならないため、製造コストが

高くなってしまふ。そこで、革新的に発想の異なる新たな3次元フラッシュメモリが登場した。基本構造は次のようなものである：ミルフィーユという菓子を想像してほしい。クリーム層とパイ生地層が幾重にも積層されている。同様に、メモリセルの元となる半導体と、セル間を隔てるための材料の積層構造をまず構成する。この積み重なった層を縦に貫く穴をあける。この穴の側面に、山を貫くトンネルの内側と岩盤を隔てる側壁のように、メモリ機能を持つ絶縁体膜をつくる。穴の中にはまた別の半導体が満たされる。この穴の中心から順に、穴の中の半導体、穴の側壁の絶縁体膜、そして積層構造の半導体層の3つが作る接合構造が、ひとつのメモリセルとして働き、1本の穴はメモリセルが積層の数だけ数珠つなぎにつながったNAND型フラッシュメモリとして機能する。Punch & Plug技術と呼ばれるこの方法では、積層構造に多数の穴が一括で形成され、これを用いた3次元フラッシュメモリをBiCS FLASH™と呼ぶ。この方法は、従来型の2次元フラッシュメモリを積層した場合に比べ、必要な微細加工工程を大きく削減することができ、低コストで高集積化が可能であり、動作速度や信頼性により優れたメモリを実現する。

一方、大容量化のためには積層数を増やす必要がある。このためには細く深いメモリホールを均一に形成する技術が必要になる。深穴の形成には反応性イオンエッチング技術が用いられるが、直径が100 nm程度で深さ数 μm の高アスペクトの均一なメモリホールの開口には高度な技術が必要となる。物理と化学と技術の最先端が具現化したもの、それがフラッシュメモリである。

—Keywords—

NAND型フラッシュメモリ：

フラッシュメモリはメモリセルに電荷(電子・正孔)を蓄積する領域を設け、蓄積した電荷によって変化する電流電圧特性を利用した半導体メモリである。特に、メモリセルを直列に配置したフラッシュメモリをNAND型フラッシュメモリという。メモリセルが直列配置された構成が論理回路のNANDに類似していることから命名された。NAND型フラッシュメモリの他にNOR型フラッシュメモリなどがある。

反応性イオンエッチング(RIE: Reactive Ion Etching)：

半導体の微細加工技術の1つ。プラズマ中で励起されたイオンやラジカル種を試料方向に衝突させ試料表面をエッチング(剥離)する。特定の方向のエッチングが可能な異方性エッチングであることが特徴。